

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-242252

(43)Date of publication of application : 17.09.1996

(51)Int.Cl.

H04L 12/40
G06F 13/00
G06F 13/28
H04L 12/56
H04L 29/08

(21)Application number : 07-045812

(71)Applicant : FUJITSU LTD
PFU LTD

(22)Date of filing : 06.03.1995

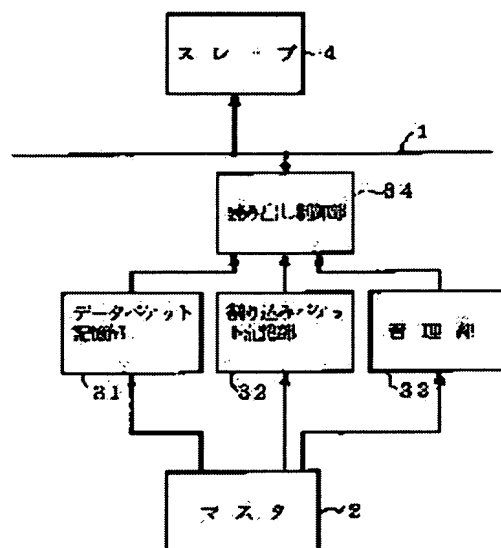
(72)Inventor : HIKONO ATSUSHI
SAKUKI KENICHI
HOSHI KENJI
SUDO KIYOSHI
KATO TAKANORI

(54) PACKET BUS CONTROLLER

(57)Abstract:

PURPOSE: To gurantee the order of each packet.

CONSTITUTION: A control part 33 controls the packet address information stored in a data packet storage part 31 and an interruption packet storage part 32, packet kind information, the packet transmission waiting state information from a master 2 to the slave 4 and the response waiting state information for the packet from the slave. When a reading control part 34 receives an interruption packet after a data packet is transmitted to the slave 4 based on the contents to be controlled by the control part 33, the control part 34 transmits an interruption packet after the part 34 confirms that the response to the data packet transmitted from the slave 11 is a normal response.



LEGAL STATUS

[Date of request for examination]

26.10.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3457084

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-242252

(43) 公開日 平成8年(1996)9月17日

(51) Int.Cl. ⁸	識別記号	片内整理番号	F I	技術表示箇所
H 0 4 L 12/40			H 0 4 L 11/00	3 2 1
G 0 6 F 13/00	3 5 3	7368-5E	G 0 6 F 13/00	3 5 3 S
	3 1 0	9172-5E		3 1 0 E
H 0 4 L 12/56		9466-5K	H 0 4 L 11/20	1 0 2 Z
29/08			13/00	3 0 7 Z
審査請求 未請求 請求項の数5 O L (全 12 頁)				

(21) 出願番号 特願平7-45812

(22) 出願日 平成7年(1995)3月6日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(71) 出願人 000136136

株式会社ピーエフユー

石川県河北郡宇ノ気町宇野気ヌ98番地の
2

(72) 発明者 彦野 厚志

石川県河北郡宇ノ気町宇野気ヌ98番地の
2 株式会社ピーエフユー内

(74) 代理人 弁理士 遠山 勉 (外1名)

最終頁に続く

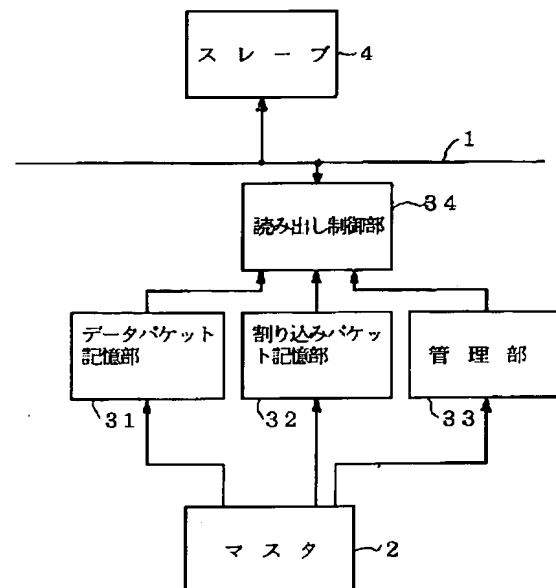
(54) 【発明の名称】 パケットバス制御装置

(57) 【要約】

【目的】 各パケットの順序を保障することを目的とする。

【構成】 管理部33がデータパケット記憶部31と割り込みパケット記憶部32とに記憶されたパケットのアドレス情報、パケットの種類情報、マスタ2からスレーブ4へのパケットの送信待ち状態情報とスレーブ4からの前記パケットに対する応答待ち状態情報とを管理する。管理部33で管理される内容に基づき読み出し制御部34はデータパケットをスレーブ4に送信した後に割り込みパケットを受信した場合にスレーブ4からの送信されたデータパケットに対する応答が正常応答であることを確認した後に割り込みパケットを送信する。

本発明のバケットバス制御装置の原理図



1

【 特許請求の範囲】

【 請求項1 】 ダイレクトメモリアクセス転送によってマスタからデータパケットと前記転送を終了させるための割り込みパケットとをパケットバスを通してスレーブに転送するパケットバス制御装置であって、前記マスタからのデータパケットを記憶するデータパケット記憶部と、前記マスタからの割り込みパケットを記憶する割り込みパケット記憶部と、前記データパケット記憶部と割り込みパケット記憶部とに記憶されたパケットのアドレス情報、パケットの種類情報、マスタからスレーブへのパケットの送信待ち状態情報とスレーブからの前記パケットに対する応答待ち状態情報とを管理する管理部と、前記管理部で管理される内容に基づき前記データパケット記憶部と前記割り込みパケット記憶部との一方の記憶部からパケットを読み出して前記スレーブに送出する読み出し制御部とを備え、前記読み出し制御部は、前記データパケットをスレーブに送信した後に前記割り込みパケットを受信した場合にスレーブからの前記送信されたデータパケットに対する応答が正常応答であることを確認した後に前記割り込みパケットを送信することを特徴とするパケットバス制御装置。

【 請求項2 】 前記データパケットは前記転送により前記スレーブに設けられたメモリにストアされるストアパケットであることを特徴とする請求項1に記載のパケットバス制御装置。

【 請求項3 】 前記管理部は前記マスタから受信した順序で前記データパケット、割り込みパケットに関する前記情報を記憶する複数の優先順位記憶部を有し、前記スレーブからの前記送信されたパケットに対する応答が正常応答である場合には、前記送信されたパケットに対応する優先順位記憶部は前記情報を消去し、前記消去された優先順位記憶部以外の全ての優先順位記憶部は優先順位をそれぞれ1つ繰り上げることを特徴とする請求項1または請求項2に記載のパケットバス制御装置。

【 請求項4 】 前記スレーブからの前記送信されたパケットに対する応答がリトライ応答である場合には、前記送信されたパケットに対応する優先順位記憶部は前記情報を消去せず、かつ前記優先順位記憶部は優先順位を繰り上げず、前記読み出し制御部は、前記送信されたパケットに対応する優先順位記憶部の前記情報に基づき前記データパケット記憶部から再びデータパケットを読み出してスレーブに送出することを特徴とする請求項3に記載のパケットバス制御装置。

【 請求項5 】 前記読み出し制御部は、前記割り込みパケットを受信した後に割り込みパケットではない新たなパケットを受信した場合にその新たなパケットを前記割

2

り込みパケットを送信する前にスレーブに送信することを特徴とする請求項1から請求項4のいずれかの請求項に記載のパケットバス制御装置。

【 発明の詳細な説明】

【 0 0 0 1 】

【 産業上の利用分野】 本発明はリトライ機能を有するパケットバスにおいてパケットの転送順序を制御するパケットバス制御装置に関する。

【 0 0 0 2 】

10 【 従来の技術】 情報処理装置において、パケットの処理能力はバス転送能力に依存する。このバス転送能力を向上するためにパケットバス方式が採用される。このパケットバス方式では、マスタがスレーブにパケットを送出し、スレーブからの前記パケットに対する応答を待たずに、別のマスタがパケットバスの使用权を獲得して次のパケットを送出する。

【 0 0 0 3 】 図1 1 にこの種の従来のパケットバス制御装置の一例を示す。パケットバス制御装置において、ダイレクトメモリアクセス (DMA) マスタ2 はパケットバスマスタ3 a、パケットバス1、パケットバススレーブ4を通してプロセッサ5内のメモリ6をダイレクトアクセスすることによりメモリ6にパケットの記憶 (パケットストア)、あるいはメモリ6からパケットの読み出し (パケットフェッチ) を行う。

20 【 0 0 0 4 】 この場合、DMA マスタ2からのパケットをパケットバスマスタ3 aはパケットバス1を通してパケットバススレーブ4に送出する。パケットバススレーブ4は前記パケットを受けた場合には、正常応答を前記パケットバスマスタ3 aに返す。パケットを受け取っていない場合には、パケットバススレーブ4はパケットバス1を通してリトライ応答をパケットバスマスタ3 aに返し、パケットバスマスタ3 aは同一のパケットを再度、パケットバススレーブ4に送出する。

【 0 0 0 5 】 パケットバス制御装置はリトライ機能を有するパケットバス1を通してパケットのDMA転送を行った後に、DMAの終了割り込みを行う。

【 0 0 0 6 】

【 発明が解決しようとする課題】 しかしながら、前記パケットバス制御装置は次のような問題があった。図1 1 に示すようにDMA マスタ2からのDMAストアパケットをパケットバスマスタ3 aはパケットバス1を通してパケットバススレーブ4に送出する (①)。次に、DMA マスタ2からのDMA転送を終了させるための割り込みパケットをパケットバスマスタ3 aはパケットバス1を通してパケットバススレーブ4に送出する (②)。

40 【 0 0 0 7 】 次に、パケットバススレーブ4の内部状態で前記パケットが受信できず、パケットバススレーブ4はリトライ応答をパケットバスマスタ3 aを返す (③)。さらに、パケットバススレーブ4は前記割り込みパケットをプロセッサ5に送出すると (④)、プロセ

50

3

ッサ5 はDMA 転送を終了させる。

【 0 0 0 8 】次に、パケット バススレーブ4 はパケット バスマスタ3 a からリトライされたDMA スト アパケット をプロセッサ5 に転送する(⑤)。このようにDMA スト アパケット よりも先に割り 込みパケット がプロセッサ5 に受信されてしまう。すなわち、DMA スト アパケット、割り 込みパケット の順序が入れ替わる。このため、DMA スト アパケット のメモリ 6 への転送が完全に終了していないにもかかわらずプロセッサ5 がDMA 転送を終了させてしまう。

【 0 0 0 9 】そこで、ソフトウェアを用いてパケット バススレーブ4 側からチャンネル(パケット バスマスタ3 a 側) のステータスを読み出すことにより DMA 転送が終了したかどうかを確認していた。このため、DMA 終了割り 込みが発生した後も、DMA 転送の正常終了を確認するまでチャンネルのステータスを読み出すために余分な時間を要していた。

【 0 0 1 0 】本発明の目的は、パケット の順序の整合性を保持し、パケット バスの効率を高めるパケット バス制御装置を提供することにある。

【 0 0 1 1 】

【 課題を解決するための手段】本発明のパケット バス制御装置は、前記課題を解決するため、以下の手段を採用した。

【 0 0 1 2 】<本発明の装置の要旨>本発明のパケット バス制御装置は図1 に示したようにダイレクト メモリアクセス転送によってマスタ2 からデータパケットと前記転送を終了させるための割り 込みパケットとをパケット バス1 を通してスレーブ4 に転送するパケット バス制御装置であって、前記マスタ2 からのデータパケットを記憶するデータパケット 記憶部3 1 と、前記マスタ2 からの割り 込みパケットを記憶する割り 込みパケット 記憶部3 2 と、前記データパケット 記憶部3 1 と割り 込みパケット 記憶部3 2 とに記憶されたパケット のアドレス情報、パケット の種類情報、マスタ2 からスレーブ4 へのパケット の送信待ち状態情報とスレーブ4 からの前記パケット に対する応答待ち状態情報とを管理する管理部3 3 と、前記管理部3 3 で管理される内容に基づき前記データパケット 記憶部3 1 と前記割り 込みパケット 記憶部3 2 との一方の記憶部からパケット を読み出して前記スレーブ4 に送出する読み出し制御部3 4 とを備え、前記読み出し制御部3 4 は、前記データパケット をスレーブ4 に送信した後に前記割り 込みパケット を受信した場合にスレーブ4 からの前記送信されたデータパケット に対する応答が正常応答であることを確認した後に、前記割り 込みパケット を送信する(請求項1 に対応)。

【 0 0 1 3 】要はパケット バスにデータパケット、割り 込みパケット を送信するマスタがDMA 転送の正常応答が返ってくるまで割り 込みパケット を送信しないように制御したものである。

4

【 0 0 1 4 】以下、その構成を説明する。

(データパケット 記憶部) データパケット 記憶部3 1 は前記マスタ2 からのデータパケット を記憶するもので、例えば、バッファメモリ などである。

(割り 込みパケット 記憶部) 割り 込みパケット 記憶部3 2 は前記マスタ2 からの割り 込みパケット を記憶するもので、例えば、バッファメモリ などである。

(管理部) 管理部3 3 は前記データパケット 記憶部3 1 と割り 込みパケット 記憶部3 2 とに記憶されたパケット のアドレス情報、パケット の種類情報、マスタ2 からスレーブ4 へのパケット の送信待ち状態情報とスレーブ4 からの前記パケット に対する応答待ち状態情報とを管理するもので、例えば、複数のシフトレジスタ、あるいはバッファメモリ からなる。

(読み出し制御部) 読み出し制御部3 4 は前記管理部3 3 で管理される内容に基づき前記データパケット 記憶部3 1 と前記割り 込みパケット 記憶部3 2 との一方の記憶部からパケット を読み出して前記スレーブ4 に送出する。

【 0 0 1 5 】前記読み出し制御部3 4 は、前記データパケット をスレーブ4 に送信した後に前記割り 込みパケット を受信した場合にスレーブ4 からの前記送信されたデータパケット に対する応答が正常応答であることを確認した後に、前記割り 込みパケット を送信する。前記読み出し制御部3 4 は、例えば、中央処理装置がメモリ に格納されたプログラムを実行することにより 実現される機能、すなわち、ソフトウェアである。

【 0 0 1 6 】本発明は以下の付加的構成要素を付加しても成立する。その他の付加的構成要素とは、前記データパケット は前記転送により 前記スレーブに設けられたメモリ にストアされるストアパケット であることである(請求項2 に対応)。

【 0 0 1 7 】その他の付加的構成要素とは、前記管理部3 3 は前記マスタ2 から受信した順序で前記データパケット、割り 込みパケット に関する前記情報を記憶する複数の優先順位記憶部を有する。前記スレーブ4 からの前記送信されたパケット に対する応答が正常応答である場合には、前記送信されたパケット に対応する優先順位記憶部は前記情報を消去し、前記消去された優先順位記憶部以外の全ての優先順位記憶部は優先順位をそれぞれ1 つ繰り上げることであり(請求項3 に対応)。

【 0 0 1 8 】その他の付加的構成要素とは、前記前記スレーブ4 からの前記送信されたパケット に対する応答がリトライ応答である場合には、前記送信されたパケット に対応する優先順位記憶部は前記情報を消去せず、かつ前記優先順位記憶部は優先順位を繰り 上げない。

【 0 0 1 9 】前記読み出し制御部3 4 は、前記送信されたパケット に対応する優先順位記憶部の前記情報に基づき前記データパケット 記憶部3 1 から再びデータパケット を読み出してスレーブ4 に送出することである(請求

項4 に対応)。

【 0 0 2 0 】その他の付加的構成要素とは、前記読み出し制御部3 4 は、前記割り込みパケットを受信した後に割り込みパケットではない新たなパケットを受信した場合にその新たなパケットを前記割り込みパケットを送信する前にスレーブ4 に送信することである(請求項5 に対応)。

【 0 0 2 1 】

【 作用 】本発明によれば、管理部3 3 がデータパケット記憶部3 1 と割り込みパケット記憶部3 2 とに記憶されたパケットのアドレス情報、パケットの種類情報、マスタ2 からスレーブ4 へのパケットの送信待ち状態情報とスレーブ4 からの前記パケットに対する応答待ち状態情報とを管理する。

【 0 0 2 2 】そして、管理部3 3 で管理される内容に基づき読み出し制御部3 4 はデータパケットをスレーブ4 に送信した後に割り込みパケットを受信した場合にスレーブ4 からの送信されたデータパケットに対する応答が正常応答であることを確認した後に割り込みパケットを送信する。

【 0 0 2 3 】すなわち、パケットバス1 での割り込みパケット、データパケットの順序の入れ替わりが防止でき、データパケットがメモリにストアされる前に転送処理が終了することがなくなる。また、転送終了の確認作業が不要となるので、余分な時間がかからなくなる。

【 0 0 2 4 】また、スレーブ4 からの応答が正常応答である場合、送信されたパケットに対応する優先順位記憶部は情報を消去し、消去された優先順位記憶部以外の全ての優先順位記憶部は優先順位をそれぞれ1 つ繰り上げるので、優先順位の最も高い優先順位記憶部の情報に従って次に受信したパケットを読み出すことができる。

【 0 0 2 5 】さらに、スレーブ4 からの応答がリトライ応答である場合、送信されたパケットに対応する優先順位記憶部は情報を消去せず、かつ優先順位記憶部は優先順位を繰り上げず、読み出し制御部3 4 は前記情報に基づきデータパケット記憶部3 1 からのデータパケットを再びスレーブ4 に送出する。すなわち、リトライ応答を受けたパケットの送信優先順位を高くすることによりパケットバスの使用待ち時間を短縮することができる。

【 0 0 2 6 】また、読み出し制御部3 4 は記割り込みパケットを受信した後に割り込みパケットではない新たなパケットを受信した場合にその新たなパケットを前記割り込みパケットを送信する前にスレーブ4 に送信するので、パケットの送信待ち時間を短縮でき、バスの有効利用を図ることができる。

【 0 0 2 7 】

【 実施例 】以下、本発明のパケットバス制御装置の実施例を図面を参照して説明する。図2 は本発明のパケットバス制御装置の一実施例を示す構成ブロック図である。前記パケットバス制御装置は、パケットバス1、パケッ

トバス1 に接続されるパケットバスマスタ3 及びパケットバススレーブ4、パケットバスマスタ3 に接続されるDMA マスタ2、パケットバススレーブ4 に接続されるプロセッサ5 を備える。

【 0 0 2 8 】DMA マスタ2 はパケットバスマスタ3、パケットバス1、パケットバススレーブ4 を通してプロセッサ5 内のメモリ6 をダイレクトアクセスすることによりパケットストア、あるいはパケットフェッチを行う。

10 【 0 0 2 9 】パケットバスマスタ3 はDMA マスタ2 からのDMA ストアパケット、割り込みパケットをパケットバス1 を通してパケットバススレーブ4 に送出する。パケットバスマスタ3 はパケットバススレーブ4 からのパケットに対する正常応答、リトライ応答を受けてリトライ応答の場合には再度、同一のDMA パケットをパケットバススレーブ4 に転送する。

【 0 0 3 0 】パケットバススレーブ4 はパケットバス1 を通してパケットバスマスタ3 からのDMA ストアパケット、割り込みパケットをプロセッサ5 に送出する。パケットバススレーブ4 はパケットに対する正常応答、リトライ応答をパケットバスマスタ3 に返す。

【 0 0 3 1 】前記プロセッサ5 は入力されたDMA ストアパケットをメモリ6 にストアし、入力された割り込みパケットによりDMA 転送を終了させる。図3 は前記パケットバスマスタ3 の詳細な構成図である。図3 において、前記パケットバスマスタ3 は、DMA マスタ2 に接続されるDMA バッファ3 1 と、DMA マスタ2 に接続される割り込みバッファ3 2 と、DMA マスタ2 に接続される複数のシフトレジスタ3 3 - 1 ~ 3 3 - N と、DMA バッファ3 1 及び割り込みバッファ3 2 及び複数のシフトレジスタ3 3 - 1 ~ 3 3 - N に接続されるバッファリード制御部3 4 と、DMA バッファ3 1 及び割り込みバッファ3 2 及びバッファリード制御部3 4 に接続されるパケットバス送信部3 5 とを備える。

【 0 0 3 2 】DMA バッファ3 1 は複数のバッファアドレスをもちDMA マスタ2 からのDMA パケットを記憶する。割り込みバッファ3 2 は前記DMA バッファ3 1 の複数のバッファアドレスとは異なる複数のバッファアドレスをもちDMA マスタ2 からの割り込みパケットを記憶する。

【 0 0 3 3 】複数のシフトレジスタ3 3 - 1 ~ 3 3 - N は1 番目のビットにパケットの送信待ちまたは応答待ちを示すパケット状態を保持し、2 番目のビットにパケットの種類、3 番目のビットに前記バッファアドレスを保持する。

【 0 0 3 4 】複数のシフトレジスタ3 3 - 1 ~ 3 3 - N において、シフトレジスタ3 3 - 1 はバッファリード制御部3 4 により読み出される優先順位が1 番目であり、シフトレジスタ3 3 - N は前記優先順位がN 番目である。

【 0 0 3 5 】バッファリード制御部3 4 は前記複数のシフトレジスタ3 3 - 1 ~ 3 3 - N に保持された内容に基づきDMA バッファ3 1、割り込みバッファ3 2 に記憶されたパケットの中から次の送信パケットを決定する。パケットバス送信部3 5 はバッファリード制御部3 4 により読み出されたパケットをパケットバス1 に転送する。

【 0 0 3 6 】次に、このように構成された実施例の動作を図面を参照して説明する。図4 はパケットバス制御装置の動作を示すフローチャートである。図5 はバッファリード制御部の動作を示すフローチャートである。

【 0 0 3 7 】まず、パケットバスマスタ3 はDMA マスタ2 からDMA ストアパケットを受信する(ステップ1 0 1)。次に、パケットバスマスタ3 はDMA マスタ2 から割り込みパケットを受信する(ステップ1 0 2)。

【 0 0 3 8 】すると、図6 に示されるパケットバスマスタ3 において、DMA バッファ3 1 はDMA マスタ2 からのDMA ストアパケット(DWパケット) をバッファアドレスA 1 に記憶する。

【 0 0 3 9 】また、これと同時にシフトレジスタ3 3 - 1 は前記DMA バッファ3 1 へのDWパケットのストア情報として、パケットの状態S (送信待ち)、パケットの種類DW、バッファアドレスA 1 を記憶する。

【 0 0 4 0 】次に、割り込みバッファ3 2 はDMA マスタ2 からの割り込みパケット(I Tパケット) をバッファアドレスA 5 に記憶する。また、これと同時にシフトレジスタ3 3 - 2 は前記割り込みバッファ3 2 へのI Tパケットのストア情報として、パケットの状態S (送信待ち)、パケットの種類I T、バッファアドレスA 5 を記憶する。なお、各パケットは受信された順番に優先順位の高いシフトレジスタから記憶されていく。

【 0 0 4 1 】次に、バッファリード制御部3 4 は複数のシフトレジスタに順次記憶された内容に基づきDMA バッファ3 1、割り込みバッファ3 2 から読み出すべきパケットの順序を決定する(ステップ1 0 3)。バッファリード制御部3 4 によるパケットのリード順序は図5 に従って決定される。

【 0 0 4 2 】まず、バッファリード制御部3 4 は優先順位1 のシフトレジスタ3 3 - 1 に記憶されたパケットの状態が応答待ちか送信待ちかあるいは無効かを判定する(ステップ1 1 1)。

【 0 0 4 3 】バッファリード制御部3 4 は優先順位1 のパケットの状態が送信待ちS である場合には、優先順位1 のアドレスで示されるバッファに記憶されたパケットをリードしパケットの状態を応答待ちO にする(ステップ1 1 2)。

【 0 0 4 4 】図7 に示す例では、バッファリード制御部3 4 は優先順位1 のシフトレジスタ3 3 - 1 に記憶されたパケットの状態が送信待ちS であるので、優先順位1 のアドレスA 1 で示されるDMA バッファ3 1 に記憶さ

れたDWパケットをリードしパケットの状態を送信待ちS から応答待ちO にする。

【 0 0 4 5 】そして、パケットバス送信部3 5 は、DMA ストアパケット(DWパケット) をパケットバス1 を介してパケットバススレーブ4 に送信する(図4 のステップ1 0 4)。

【 0 0 4 6 】次に、複数のシフトレジスタ3 3 - 1 ~ 3 3 - N はパケットバススレーブ4 からの応答を待ち(ステップ1 0 5)、複数のシフトレジスタ3 3 - 1 ~ 3 3 - N は、その応答が正常応答かリトライ応答かを判定する(ステップ1 0 6)。

【 0 0 4 7 】パケットバススレーブ4 からの応答が正常応答の場合には、送信シフトレジスタの内容がクリアされ、クリアされたシフトレジスタより優先順位が低いシフトレジスタが1 つづつシフトされ、シフトレジスタの優先順位が1 つ繰り上がる(ステップ1 0 7)。

【 0 0 4 8 】図8 に示す例では、優先順位1 のシフトレジスタ3 3 - 1 の内容をクリアし、優先順位2 のシフトレジスタ3 3 - 2 の内容を優先順位1 のシフトレジスタ3 3 - 1 にシフトする。優先順位1 のシフトレジスタ3 3 - 1 の内容は前記割り込みパケットに関する情報、すなわち、送信待ちS、パケットの種類I T、バッファアドレスA 5 となる。

【 0 0 4 9 】ここで、図9 に示すように、バッファリード制御部3 4 は優先順位1 のシフトレジスタ3 3 - 1 の内容に従って、割り込みバッファ3 2 からI Tパケットを読み出し、パケットバス送信部3 5 はI Tパケットをパケットバススレーブ4 に送出する(図4 のステップ1 0 8)。また、シフトレジスタ3 3 - 1 は応答待ちO にされる(図5 のステップ1 1 2)。

【 0 0 5 0 】一方、ステップ1 0 6 において、応答がリトライ応答である場合には、図1 0 に示すようにシフトレジスタ3 3 - 1 の応答待ちO を送信待ちS に変更する(ステップ1 0 9)。このとき、それぞれのシフトレジスタの優先順位は変わることはなく、シフトレジスタ3 3 - 1 の内容は送信待ちS、パケットの種類DW、バッファアドレスA 1 である。

【 0 0 5 1 】そして、処理がステップ1 0 3 に戻り、ステップ1 0 3 からステップ1 0 5 の処理を再度を行う。すなわち、優先順位1 のシフトレジスタ3 3 - 1 の内容に従ってバッファリード制御部3 4 はDMA バッファ3 1 からDMA ストアパケットを読み出して送信する。従って、リトライになったDMA ストアパケットは読み出されて送信される。

【 0 0 5 2 】一方、バッファリード制御部3 4 は優先順位1 のパケットの状態が応答待ちO である場合には、優先順位2 のシフトレジスタ3 3 - 2 に記憶されたパケットの状態が応答待ちか送信待ちかあるいは無効かを判定する(ステップ1 1 3)。

【 0 0 5 3 】バッファリード制御部3 4 は優先順位2 の

9

パケットの状態が送信待ちSである場合には、パケットの種類が割り込みかどうかを判定する(ステップ114)。バッファリード制御部34はパケットが割り込みパケットでない場合には、優先順位2のアドレスで示されるバッファに記憶されたパケットをリードしパケットの状態を応答待ちOにする(ステップ115)。すなわち、優先順位1と優先順位2とにDMAストアパケットが設定されている場合には、ステップ115の処理となる。

【0054】次に、パケットが割り込みパケットである場合には、バッファリード制御部34は優先順位1のパケットがDWパケット(DMAストアパケット)であるか判定する(ステップ116)。

【0055】優先順位1のパケットがDWパケットでない場合、例えば、DMAフェッチ(メモリからマスタへの読み出し)、割り込みパケットである場合には、パケットの順序が逆転してもよいので、ステップ115の処理に進む。

【0056】優先順位1のパケットがDWパケットである場合には、パケットバス1上でパケットの順序が逆転しないように優先順位2のシフトレジスタ33-2の内容を読み出し禁止し、次に、優先順位2のシフトレジスタ33-2の内容が読み出し禁止であるので、バッファリード制御部34は優先順位3のパケットの状態が送信待ちか応答待ちか無効かを判定する(ステップ118)。そして、ステップ119はステップ114と同様に、ステップ120はステップ115と同様な要領で処理される。

【0057】なお、ステップ111、113、118において、パケット状態が無効である場合にはステップ117に進む。そして、ステップ121において、優先順位1、2のパケットはいずれかがDWパケットかどうか判定される。このような処理が優先順位4からNまで続行される。

【0058】このように、パケットバスマスタ3はパケットバススレーブ4からDMAストアパケットに対する正常応答が返ってくるまで割り込みパケットを送信しないように制御するので、パケットバス1でのパケットの順序の入替えを防止できる。また、DMAストアパケット、割り込みパケットの順序を保証するため、ソフトウェアによりDMA終了確認を行う必要がなくなり、余分な時間がかからなくなる。

【0059】また、リトライ応答が優先順位1のシフトレジスタ33-1に返ってくるので、次に優先順位1でDMAストアパケットが送信されるため、割り込みパケットの待ち時間が最小限に抑えられる。

【0060】さらに、最初に受信したパケットがDMAフェッチ、割り込みパケットのような順序の逆転を許すパケットであり、次に受信した新たなパケットがDMAストアパケットとする。この場合には、前記バッファリ

10

ード制御部34は、その新たなパケットを前記割り込みパケットを送信する前にスレーブ4に送信する。

【0061】これにより、パケットの送信待ち時間を短縮でき、バスの有効利用を図ることができる。

【0062】

【発明の効果】本発明によれば、管理部で管理される内容に基づき読み出し制御部はデータパケットをスレーブに送信した後に割り込みパケットを受信した場合にスレーブからの送信されたデータパケットに対する応答が正常応答であることを確認した後に割り込みパケットを送信する。

【0063】すなわち、パケットバスでの割り込みパケット、データパケットの順序の入れ替わりが防止でき、データパケットがメモリにストアされる前に転送処理が終了することがなくなる。また、転送終了の確認作業が不要となるので、余分な時間がかからなくなる。

【0064】また、スレーブからの応答が正常応答である場合、送信されたパケットに対応する優先順位記憶部は情報を消去し、消去された優先順位記憶部以外の全ての優先順位記憶部は優先順位をそれぞれ1つ繰り上げるので、優先順位の最も高い優先順位記憶部の情報に従って次に受信したパケットを読み出すことができる。

【0065】さらに、スレーブからの応答がリトライ応答である場合、送信されたパケットに対応する優先順位記憶部は情報を消去せず、かつ優先順位記憶部は優先順位を繰り上げず、読み出し制御部は前記情報に基づきデータパケット記憶部からのデータパケットを再びスレーブに送出する。すなわち、リトライ応答を受けたパケットの送信優先順位を高くすることによりパケットバスの使用待ち時間を短縮することができる。

【0066】また、読み出し制御部は記割り込みパケットを受信した後に割り込みパケットではない新たなパケットを受信した場合にその新たなパケットを前記割り込みパケットを送信する前にスレーブに送信するので、パケットの送信待ち時間を短縮でき、バスの有効利用を図ることができる。

【図面の簡単な説明】

【図1】本発明のパケットバス制御装置を示す原理図である。

【図2】本発明のパケットバス制御装置の実施例を示す図である。

【図3】前記実施例におけるパケットバスマスタを示す構成図である。

【図4】パケットバス制御装置の動作を示すフローチャートである。

【図5】バッファリード制御部の動作を示すフローチャートである。

【図6】DMAストアパケット及び割り込みパケットの受信を説明する図である。

【図7】DMAストアパケットの送信を説明する図であ

11

12

る。

【 図8 】 DMAストアの正常応答を説明する図である。

【 図9 】 割り込みパケットの送信を説明する図である。

【 図10 】 DMAストアのリトライ応答を示す図である。

【 図11 】 従来のパケットバス制御装置の一例を示す図である。

【 符号の説明】

1・・・パケットバス

2・・・DMAマスタ

3・・・パケットバスマスタ

4・・・パケットバススレーブ

5・・・プロセッサ

6・・・メモリ

31・・・DMAバッファ

32・・・割り込みバッファ

33-1 ～ 33-N・・・シフトレジスタ

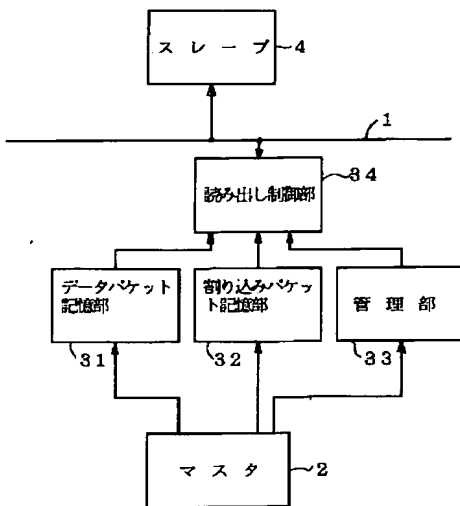
34・・・バッファリード制御部

35・・・パケットバス送信部

10

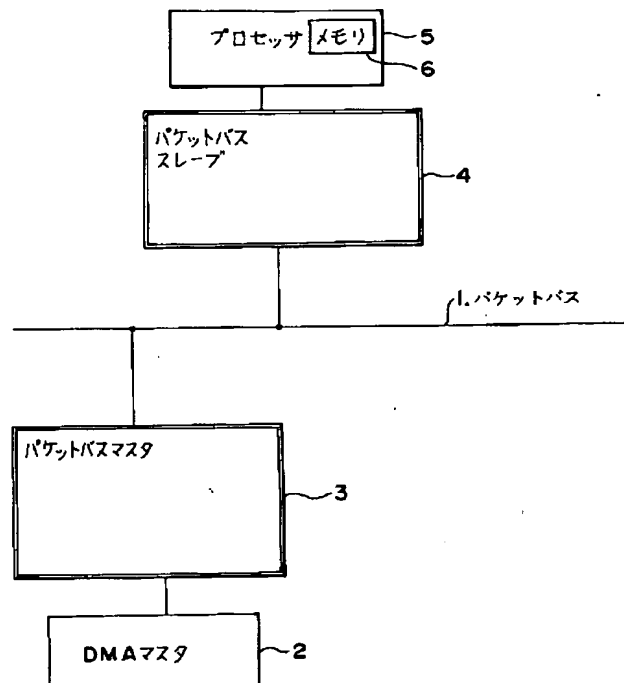
【 図1 】

本発明のパケットバス制御装置の原理図

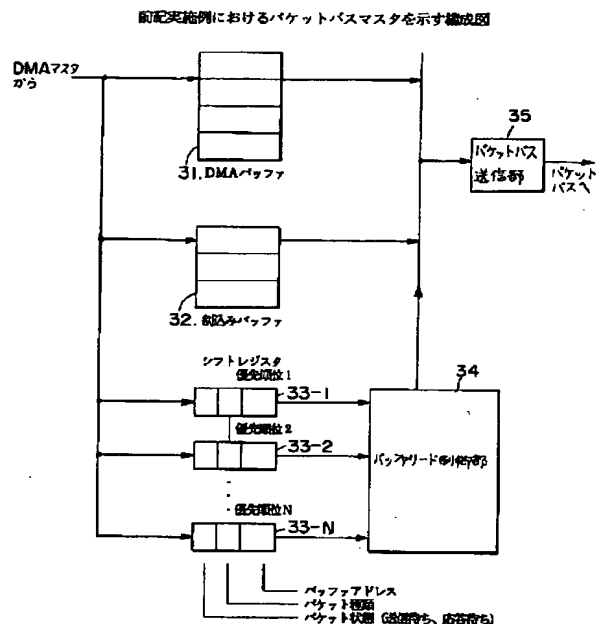


【 図2 】

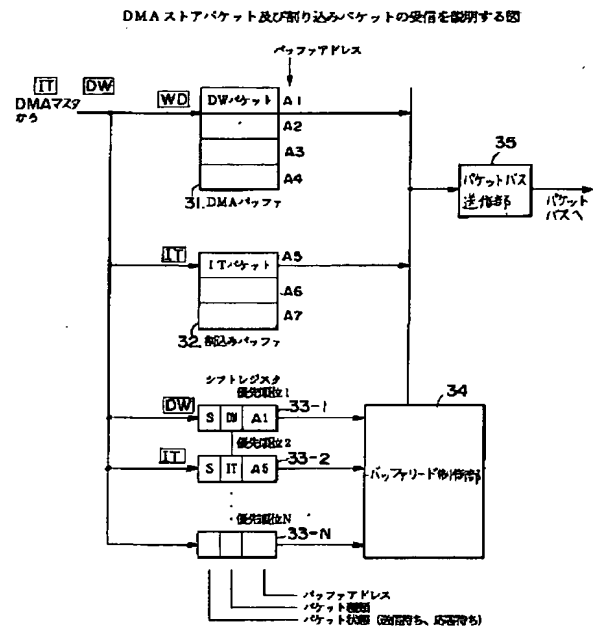
本発明のパケットバス制御装置の実施例を示す図



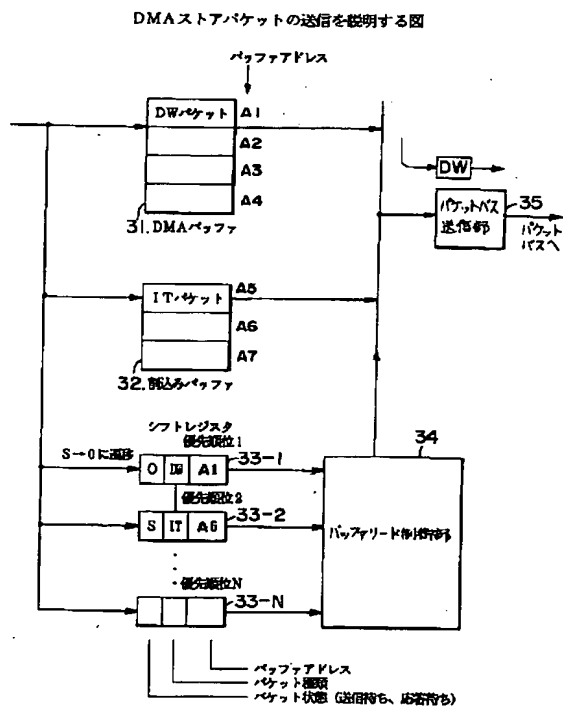
【 図3 】



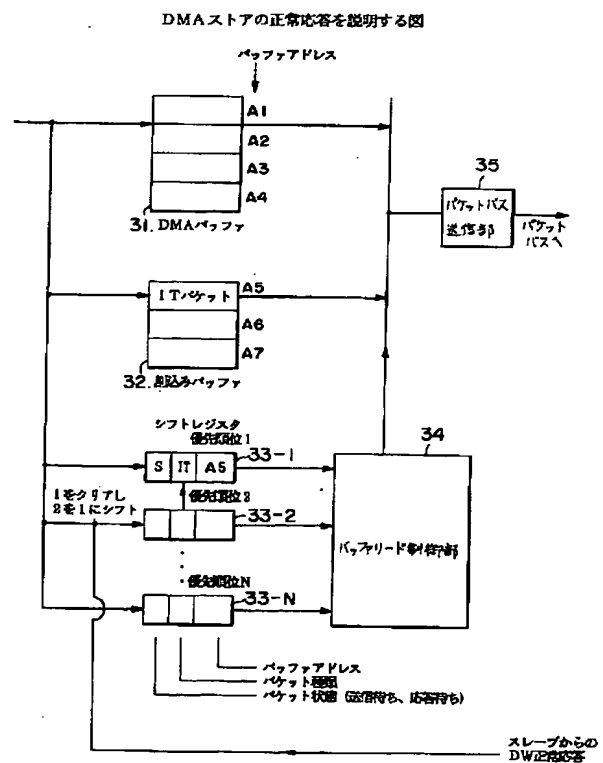
【 図6 】



【 図7 】

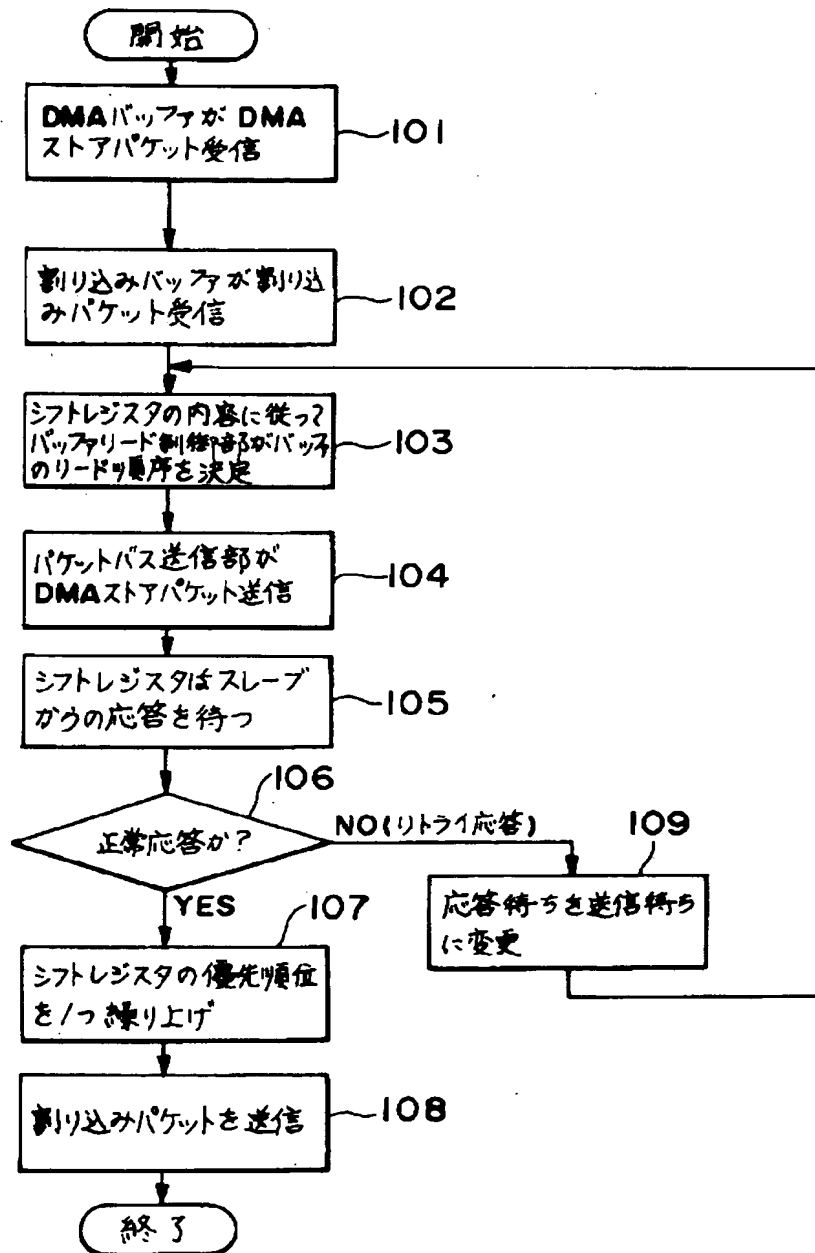


【 図8 】



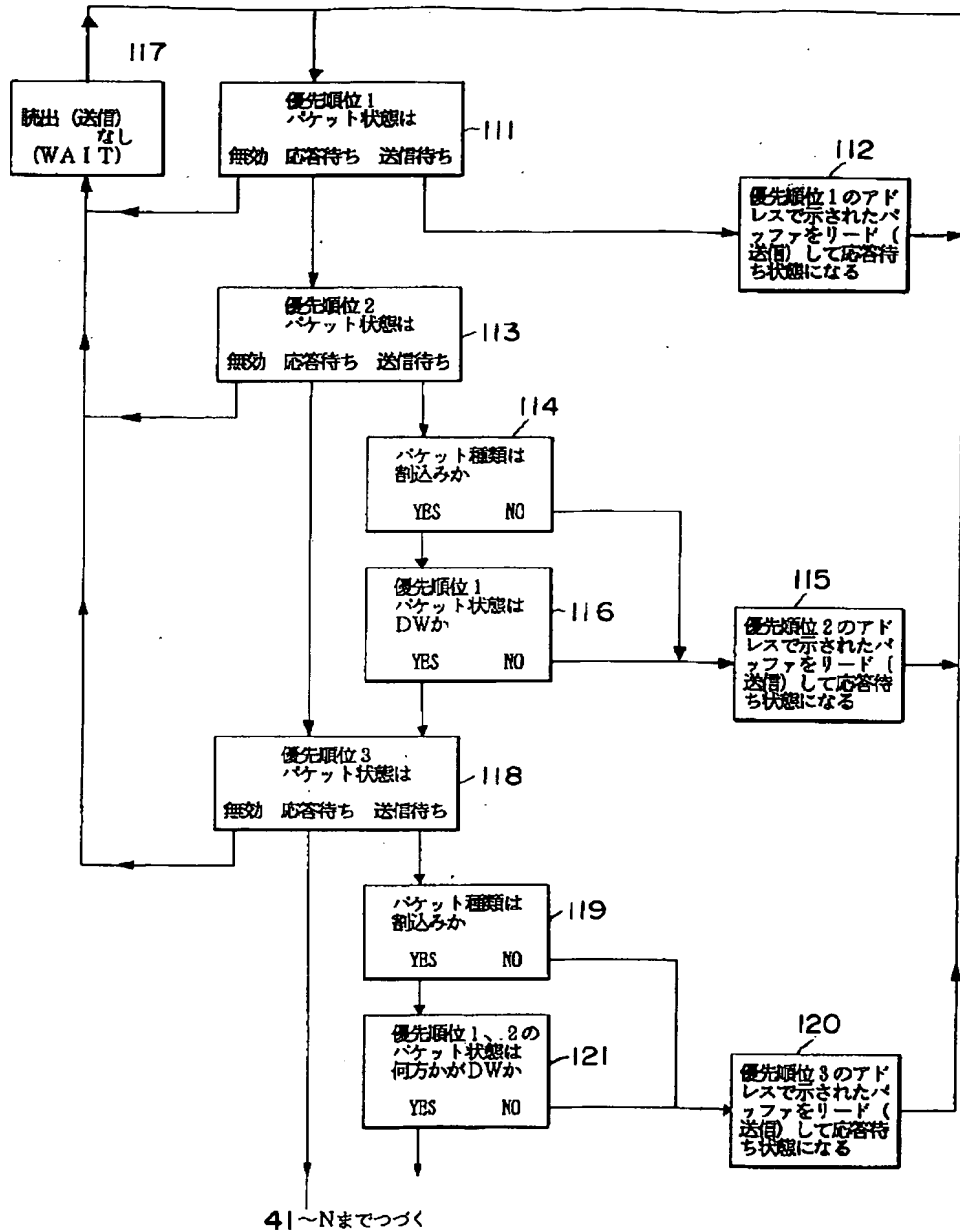
【 図4 】

パケットバス制御装置の動作を示すフローチャート



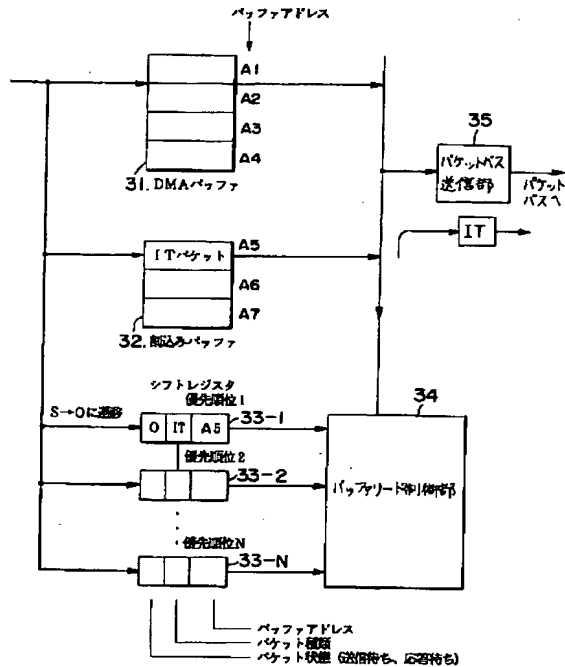
【 図5 】

バッファリード制御部の動作を示すフローチャート



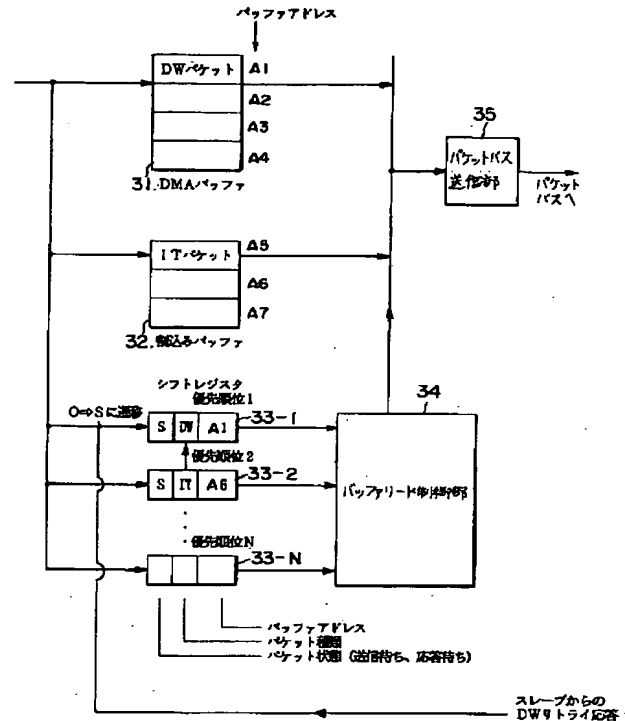
【 図9 】

割り込みパケットの送信を説明する図



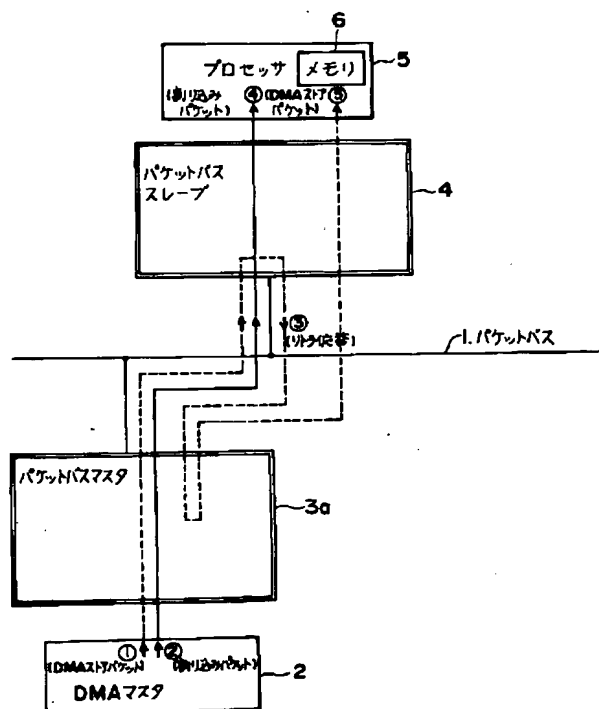
【 図10 】

DMAストアのリトライ応答を示す図



【 図11 】

従来のパケットバス制御装置の一例を示す図



フロント ページの続き

(72)発明者 柞木 賢一

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 星 健二

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 須藤 清

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 加藤 貴紀

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内